

## Rechenschaltungen - Wiederholungsblatt und TTL-Bausteine

1. Addiere:

L	O	L	O	L	L			L	L	L	O	L	L
+	L	L	O	O	L			+	L	O	L	O	L

2. Subtrahiere auf „normale“ Art:

L	O	L	O	L	L			L	L	L	O	L	L
-	L	L	O	O	L			-	L	O	L	O	L

3. Löse Aufgabe 2 nochmals, indem Du Subtraktion durch Komplementaddition verwendest.

4. a) Ergänze die Additionstabelle für die Addition zweier einstelliger Dualzahlen:

a+b		Ü	S
L	L		
L	O		
O	L		
O	O		

b) Gib die logischen Terme für Übertrag und Summe an:

Ü = ..... S = .....

c) Zeichne den Schaltplan eines Halbaddierers mit logischen Gattern und gib sein Schaltsymbol an.

5. Erstelle ein Additionsschema für die Addition zweier 4-stelliger Dualzahlen.

6. a) Inwiefern muss für Aufg. 5 eine neue Schaltung, der Volladdierer, entwickelt werden.

b) Zeichne den Schaltplan eines VA's aus drei Halbaddierern.

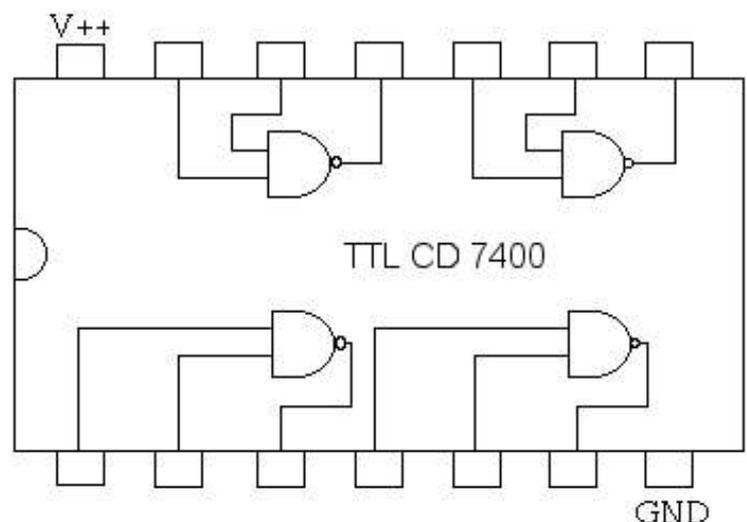
c) Warum kann der 3. HA durch ein OR-Gatter ersetzt werden?

7. Wozu dient ein Paralleladdierer? Zeichne seinen Schaltplan und erläutere diesen kurz.

8. Der TTL-Baustein (transistor-transistor-logic) **CD 7400** besteht aus 4 NAND-Gattern. Lötet man ihn auf eine Platine und verbindet seine Ausgänge geeignet miteinander, dann kann man damit diverse logische Terme realisieren.

Auf der nächsten Seite findest Du dazu ein Beispiel und eine Aufgabe.

(GND steht für „ground“ - Erde)



## Rechenschaltungen - Wiederholungsblatt und TTL-Bausteine / Seite 2

Beispiel zur 8. Aufgabe:

Der logische Term  $T = \overline{(a \vee b)} \wedge c$  soll geschaltet werden.

Teillösung:  $a \vee b = \overline{\overline{a} \wedge \overline{b}}$  denke an die de Morgan'schen Regeln!

Tipps hierzu: Nr 12 ergibt welchen Term? .....

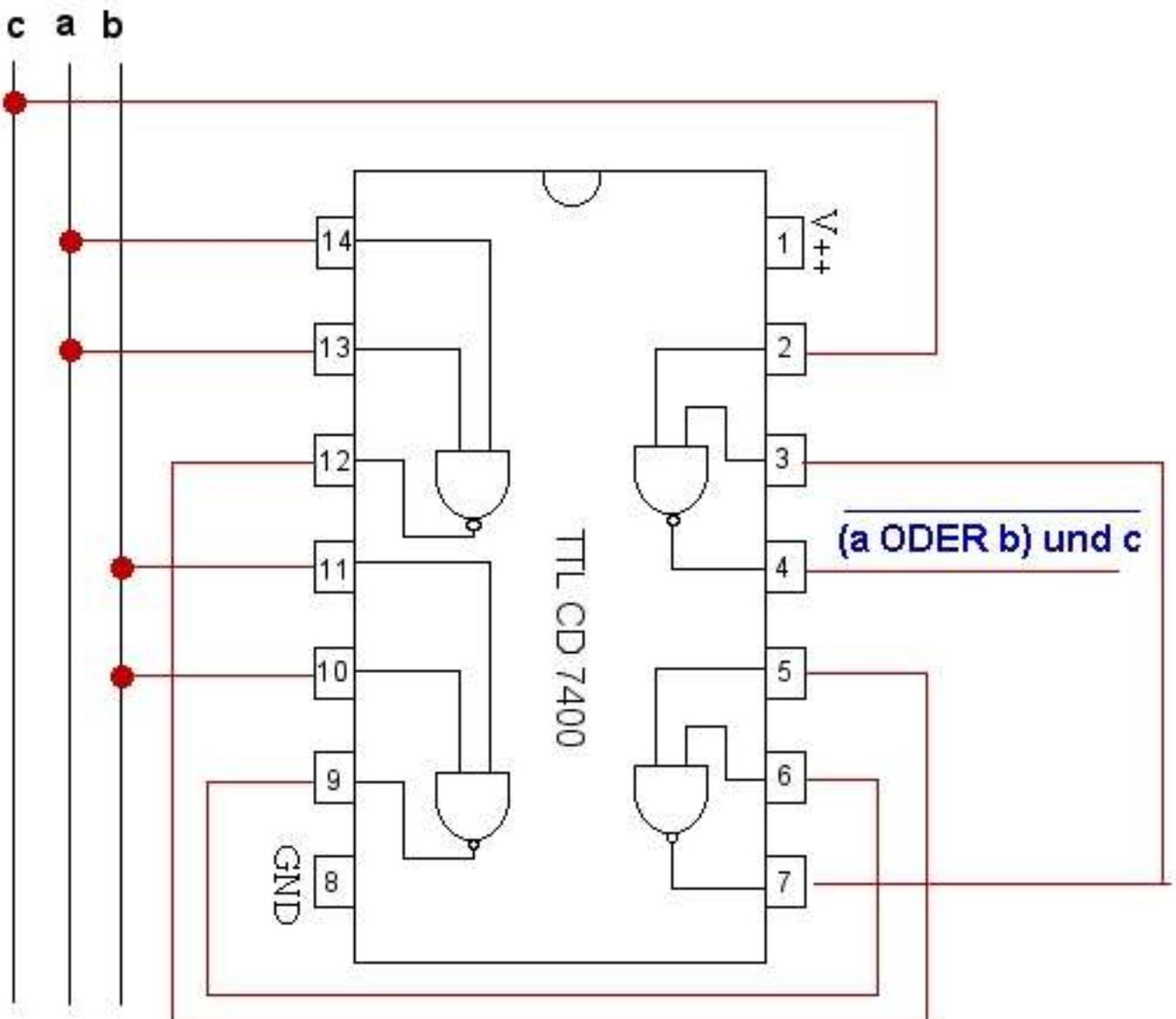
Nr 9 ergibt welchen Term? .....

Wohin führen die Ausgänge 9 und 12? .....

Welcher Term liegt am Ausgang 7? .....

Wohin führt Ausgang 7? .....

Was führt in Eingang 2?



Aufgabe 9 findest Du auf der nächsten Seite!

9. Verbinde die Ein- und Ausgänge con IC CD 7402 so, dass  $T = \overline{(a \vee b)} \vee c$  realisiert wird..

